

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shinji FUJII

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-085183

MONTH/DAY/YEAR

March 26, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 5 1 8 3
Application Number:

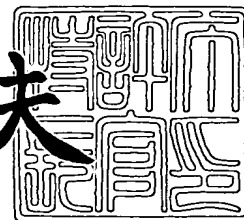
[ST. 10/C] : [J P 2 0 0 3 - 0 8 5 1 8 3]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000204435

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/88

【発明の名称】 半導体装置

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 藤井 真二

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】 半導体基板上に Cu あるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも 2 層以上に形成された多層配線と、

前記層間絶縁膜に埋め込まれ、その下層配線と上層配線との接続を行う層間接続用ビアと、

前記下層配線において前記層間接続用ビアのコンタクト部以外の空き領域に選択的に形成され、異方性エッチングにより前記層間絶縁膜にダミー用のビアホールを開口することにより発生したダミー用のダメージ領域

とを具備することを特徴とする半導体装置。

【請求項 2】 前記下層配線は、所定値以上の広い幅を有し、前記層間接続用ビアは複数個形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ダミー用のダメージ領域は、前記下層配線における層間接続用ビアのコンタクト部以外の空き領域のうちで層間接続用ビアのコンタクト部の周辺のみに形成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記ダミー用のダメージ領域は、前記層間接続用ビアのコンタクト部の両側でデザインルールの最小間隔だけ離れた部分に形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記ダミー用のダメージ領域は、前記下層配線における層間接続用ビアのコンタクト部の周囲の 4 辺のうちの 3 辺上に形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記層間絶縁膜には、前記ダメージ領域上にコンタクトしたダミー用のビアが埋め込まれていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記ダミー用のビアは、前記層間接続用ビアと同じ構造を有することを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記層間絶縁膜上には、前記ダミー用のビアに連なる配線材

料が、前記層間接続用ビアには連ならないダミー配線パターンとして形成されていることを特徴とする請求項 6 または 7 記載の半導体装置。

【請求項 9】 前記ダミー配線パターンは、前記上層配線と同一配線層に形成されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 半導体基板上に Cu あるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも 2 層以上の多層に形成された多層配線と、

前記層間絶縁膜に埋め込まれ、前記多層配線中の所定値以上の広い幅を有する幅広の下層配線に連なるように同層で形成された幅が狭い幅細の下層配線とその上層配線との接続を行う層間接続用ビアと、

前記幅広の下層配線と前記幅細の下層配線の境界付近であって幅広の下層配線寄りの空き領域に形成され、異方性エッチングにより前記層間絶縁膜にダミー用のビアホールを開口することにより発生したダミー用のダメージ領域

とを具備することを特徴とする半導体装置。

【請求項 11】 半導体基板上に Cu あるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも 2 層以上の多層に形成された多層配線と、

前記層間絶縁膜に埋め込まれ、前記多層配線中の所定値以上の広い幅を有する幅広の下層配線に連なるように同層で形成された幅が狭い幅細の下層配線とその上層配線との接続を行う層間接続用ビアと、

前記幅細の下層配線における前記層間接続用ビアのコンタクト部と前記幅広の下層配線との間の領域に形成され、異方性エッチングにより前記層間絶縁膜にダミー用のビアホールを開口することにより発生したダミー用のダメージ領域

とを具備することを特徴とする半導体装置。

【請求項 12】 前記層間絶縁膜には、前記ダメージ領域上にコンタクトしたダミー用のビアが埋め込まれていることを特徴とする請求項 10 または 11 に記載の半導体装置。

【請求項 13】 前記ダミー用のビアは、前記層間接続用ビアと同じ構造を有することを特徴とする請求項 12 記載の半導体装置。

【請求項 14】 前記層間絶縁膜上には、前記ダミー用のビアに連なる配線材料が、前記層間接続用ビアには連ならないダミー配線パターンとして形成されていることを特徴とする請求項 12 または 13 記載の半導体装置。

【請求項 15】 前記ダミー配線パターンは、前記上層配線と同一配線層に形成されていることを特徴とする請求項 14 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線構造を有する半導体装置に係り、特にCuあるいはその合金を配線材料に用いたビア(Via) 下部の下層配線におけるエッチングによるダメージ領域のダミーパターンのデザインルールに関するもので、例えばCMOSLSI (相補性絶縁ゲート型半導体集積回路) に適用されるものである。

【0002】

【従来の技術】

多層配線構造を有するLSIにおいて、配線とビアの低抵抗化および信頼性向上の面から、配線材料として、従来のAlに代えてCuあるいはその合金が用いられるようになってきている。Cu配線の場合にはVoidによるビアのオープン不良が発生しやすいことが判明している。

【0003】

しかし、Cuあるいはその合金を材料として用いた配線およびビアが特定のパターンの場合には、その製造工程においてボイドや高温試験(例えば225℃、300 Hour)でのストレスマイグレーション(SM)によってコンタクト不良(オープン不良)による信頼性不良が発生することが判明した。

【0004】

このようなコンタクト不良が発生するメカニズムは、必ずしも明らかではないが、その現象および推測される原因について以下に説明する。

【0005】

図7(a)および(b)は、従来のCuあるいはその合金を配線材料に用いた多層配線構造を有するCMOSLSIにおける多層配線中の二層配線を取り出して配線お

よび層間接続用ビアのパターンの一例を概略的に示す平面図である。図中、71は下層配線（Cu配線）、72は上層配線（Cu配線）、73は層間接続用ビアである。

【0 0 0 6】

図 7（a）に示すように、配線幅Wがある値を越える幅広の下層配線71に上層配線72から単一（1個）のビア73を接続した製品は、高温試験でのSMによってビア73のコンタクト不良（オープン不良）が発生する。

【0 0 0 7】

また、図 7（b）に示すように、配線幅Wがある値を越える幅広の下層配線71に配線幅Wがある値以下の幅細の下層配線71a に同層で連なる場合、幅細の下層配線71a に上層配線72から単一のビア73を接続した製品は、高温試験でのSMによってビア73のコンタクト不良が発生する。

【0 0 0 8】

図 8 は、幅広の下層配線（Cu配線）に連ならない幅細の下層配線（Cu配線）を形成した時の熱工程の前後における幅細の下層配線中のCu結晶のイメージを示す断面図である。この場合には、熱工程を経てもボイド(Void)は発生しない。

【0 0 0 9】

図 9 は、図 7（a）および（b）中に示した配線（Cu配線）を形成した時の熱工程の前後における幅広の下層配線71中のCu結晶のイメージを示す断面図である。この場合には、熱工程を経るとボイド90が発生する。

【0 0 1 0】

図 1 0 は、図 7（a）および（b）に示した下層配線（Cu配線）71,71aに対するビア73のコンタクト不良（ビアオープン不良）に関する不良モデルを説明するために示している。なお、図中、74,75 はそれぞれバリアメタル膜である。

【0 0 1 1】

下層配線71,71a上の層間絶縁膜に対して例えば反応性イオンエッチング(RIE)を用いてビアホールを開口した時に、ビアホールの底面下にはビアホール形成時のエッチングや開口後の熱処理等によるダメージやストレス等が発生する。この後の工程でアニールによりCu配線71,71aのCuの結晶粒を成長させる際、図 7（a）中に示した幅広の下層配線71や図 7（b）に示したような幅広の下層配線71に

連なる幅細の下層配線71a には、前記ダメージやストレス等が発生しているビアホールの底面下（ダメージ領域100 ）にボイド90が集約し、コンタクト不良（オープン不良）が生じる。

【0 0 1 2】

【発明が解決しようとする課題】

上記したように従来の半導体装置は、Cuを材料として用いた配線およびビアを有する多層配線において幅広の下層配線に上層配線から単一のビアを落とした場合には、その製造工程における高熱処理に起因してビアのコンタクト不良（信頼性不良）が発生するという問題があった。

【0 0 1 3】

上記の問題点を解決すべく、本願出願人に係る特願 2 0 0 2 - 2 1 2 9 0 8 号「半導体装置」により、Cuあるいはその合金を材料として用いた多層配線を有する半導体装置において、下層の幅広配線から上層配線へビアにより繋ぐ場合に配線とビアのデザインルールに所定の制限をつけることにより、多層配線の信頼性を向上させることが可能にする技術が提案されている。

【0 0 1 4】

上記した提案中の「半導体装置」は、半導体基板上にCuあるいはその合金を配線材料として用いた配線およびビアを有する多層配線が形成されており、多層配線中の下層配線に上層配線を接続するためのビアのコンタクト不良を防止するために、次のようなデザインルールを採用する。

【0 0 1 5】

（1）下層配線の配線幅または体積に応じて、下層配線に対するビアのコンタクト数を変更する。下層配線に複数のビアをコンタクトさせる場合には、複数のビアを所定領域内で相互間距離が所定値以下となるように配置する。

【0 0 1 6】

（2）広い幅の下層配線に、同一層の狭い幅の下層配線が連なる場合には、広い幅の下層配線で発生したボイドが狭い幅の下層配線に移動する可能性があるので、狭い幅の下層配線の配線幅または体積に応じて、下層配線に対するビアのコンタクト数を変更する。

【0017】

上記したデザインルールの1つは、ビアのオープン不良が発生する可能性がある場合には層間接続用のビアを2個以上設けることにある。ここで、層間接続用のビアを2個以上設ける領域は、ビアホール形成時のエッチングや開口後の熱処理等によりダメージやストレス等が発生しているビア底面部にコンタクト不良を引き起こすようにCu配線内のボイドが集約するボイド実効拡散領域である。

【0018】

上記したように2個以上のビアを設けると、熱処理時に下層配線内のボイドは、各ビアの底面下に分散して集約し、ボイドが最も集約したビアはリダンダンシビアとして作用し、残りのビアのコンタクト特性の劣化が抑制され、信頼性の低下が抑制される。

【0019】

しかし、層間接続用のビアを2個以上設けたとしても、ビア2個分の機能を持たせることができないので、1個のビアはオープン不良を起こすことを前提とする設計上の制約が発生する。また、狭い幅の下層配線幅に同一層の広い幅の下層配線幅が連なっているかどうかによってビアの配置個数のルールが異なるという設計上の制約が発生する。

【0020】

本発明は上記の問題点を解決すべくなされたもので、Cuあるいはその合金を配線材料として用いた多層配線におけるビア配置のルールに関する設計上の制約を緩和し、配線の信頼性を向上させることが可能になる半導体装置を提供することを目的とする。

【0021】**【課題を解決するための手段】**

本発明の第1の半導体装置は、半導体基板上にCuあるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも2層以上に形成された多層配線と、前記多層配線中の下層配線の上層に存在する層間絶縁膜に埋め込まれ、前記下層配線と上層配線との接続を行う層間接続用ビアと、前記下層配線において前記層間接続用ビアのコンタクト部以外の空き領域に選択的に形成され、前

記層間絶縁膜に異方性エッチングによりダミー用のビアホールを開口することにより発生したダミー用のダメージ領域とを具備することを特徴とする。

【0022】

本発明の第2の半導体装置は、半導体基板上にCuあるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも2層以上に形成された多層配線と、前記層間絶縁膜に埋め込まれ、前記多層配線中の所定値以上の広い幅を有する幅広の下層配線に連なるように同層で形成された幅が狭い幅細の下層配線とその上層配線との接続を行う層間接続用ビアと、前記幅広の下層配線と前記幅細の下層配線の境界付近であって幅広の下層配線寄りの空き領域に形成され、前記層間絶縁膜に異方性エッチングによりダミー用のビアホールを開口することにより発生したダミー用のダメージ領域とを具備することを特徴とする。

【0023】

本発明の第3の半導体装置は、半導体基板上にCuあるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも2層以上に形成された多層配線と、前記層間絶縁膜に埋め込まれ、前記多層配線中の所定値以上の広い幅を有する幅広の下層配線に連なるように同層で形成された幅が狭い幅細の下層配線とその上層配線との接続を行う層間接続用ビアと、前記幅細の下層配線における前記層間接続用ビアのコンタクト部と前記幅広の下層配線との間の領域に形成され、異方性エッチングにより前記層間絶縁膜にダミー用のビアホールを開口することにより発生したダミー用のダメージ領域とを具備することを特徴とする。

【0024】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0025】

<第1の実施形態>

図1は、第1の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線構造を有するCMOSLSIにおける多層配線中の二層配線を取り出して概略的に示す平面図である。

【0026】

図 2 は、図 1 中の B-B 線に沿う構造を示す断面図である。

【0027】

図 1 および図 2 において、11 は半導体基板上に形成されている二層配線のうちの下層配線であり、絶縁膜の配線溝に埋め込まれている。12 は前記二層配線 12 のうちの上層配線であり、一部の上層配線 12 は後述する層間接続用ビア 14 により下層配線 11 に接続されており、残りの上層配線 12 は下層配線 11 の上方を通過している。本例では、前記下層配線 11 は所定値以上の広い配線幅 W を有する幅広配線であり、上層配線 12 の配線幅は任意である。

【0028】

13 は前記幅広の下層配線 11 と上層配線 12 との層間の設けられた層間絶縁膜であり、例えばリンあるいはボロンを含んだ CVD 酸化膜 (SiO_2) により形成されたものである。

【0029】

14 は層間絶縁膜 13 中に埋め込まれた層間接続用（層間接続用）ビアである。本例では、前記幅広の下層配線 11 と上層配線 12 との間に任意数（本例では 2 個）の層間接続用ビア 14 が形成されている。これらの層間接続用ビア 14 は、層間絶縁膜 13 に対して異方性エッチング（通常、RIE）により層間接続用ビアホールが開口した後、Ta, TaN, TiN などのバリアメタル（図示せず）を介して Cu を堆積し、層間接続用ビアホール内にバリアメタルおよび Cu を残すように CMP（化学的機械研磨）による平坦化が行われることによって形成されたものである。

【0030】

さらに、前記下層配線 11 のうちで層間接続用ビア 14 のコンタクト部以外の空き領域には、前記 RIE により層間絶縁膜 13 に層間接続用ビアホールを開口する際にホール底面下の下層配線 11 に発生するダメージ領域 15a と同等のダミー用ダメージ領域 15b が選択的に形成されている。このダミー用ダメージ領域 15b は、前記 RIE により層間接続用ビアホールを開口すると同時に層間絶縁膜 13 にダミー用ビアホールを開口することによって形成可能である。

【0031】

そして、前記層間絶縁膜 13 には、前記ダミー用ダメージ領域 15b 上にコンタク

トするようにダミー用ビア16が埋め込まれており、このダミー用ビア16は層間接続用ビア14と同じ工程で同層で同じ構造を有するように形成されている。

【0032】

前記層間接続用ビア14およびダミー用ビア16が埋め込まれている層間絶縁膜13と同時にまたは別に形成された層間絶縁膜18には、前記層間接続用ビア14に連なるように配線溝が形成されて上層配線12が埋め込まれている。また、上記層間絶縁膜18には、前記ダミー用ビア16に連なるようにダミー用配線溝が形成されてダミー用上層配線パターン19が埋め込まれている。

【0033】

上記構成によれば、層間絶縁膜13に対してRIEにより層間接続用ビアホールおよびダミー用ビアホールを開口した時に、各ビアホールの底面下の下層配線11にそれぞれダメージ領域15a, 15b やストレス等が発生する。そして、後工程でアニールにより下層配線11のCuの結晶粒を成長させる際に前記ダメージ領域15a, 15b に下層配線11内のボイドが集約しようとする。この際、ボイドが層間接続用ビアホールの底面下のダメージ領域15a に達する途中で大部分がダミー用ビアホールの底面下のダミー用ダメージ領域15b に集約されるので、後工程で層間接続用ビアホールに埋め込み形成される層間接続用ビア14の下層配線11に対するコンタクト不良を防止することが可能になる。

【0034】

したがって、幅広の下層配線11を上層配線12に接続するために形成した複数（本例では2個）の層間接続用ビア14のうちのどれかがオープン不良になることを前提とする設計上の制約を考慮することなく設計することが可能になる。

【0035】

<第2の実施形態>

図3は、第2の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線構造を有するCMOSLSIにおける多層配線中の二層配線を取り出して概略的に示す平面図である。

【0036】

図3に示す第2の実施形態では、第1の実施形態と比べて、幅広の下層配線11

における層間接続用ビア14のコンタクト部以外の空き領域のうちで、層間接続用ビア14のコンタクト部の周辺のみ（少なくとも両側）にダミー用ダメージ領域（図2中の15b 参照）が形成され、これにコンタクトするようにダミー用ビア16が形成されている点が異なり、その他は同じであるので同じ符号を付している。

【0 0 3 7】

この場合も、前述した第1の実施形態とほぼ同様の効果が得られる。

【0 0 3 8】

＜第2の実施形態の変形例＞

図4は、第3の実施形態の変形例を概略的に示す平面図である。

【0 0 3 9】

図4に示す第2の実施形態の変形例では、第2の実施形態と比べて、幅広の下層配線11のうちで層間接続用ビア14のコンタクト部の周りをできる限り囲む状態（具体的には、層間接続用ビア14のコンタクト部を囲む4辺のうちの3辺上）にダミー用ダメージ領域（図2中の15b 参照）が形成され、これにコンタクトするようにダミー用ビア16が形成されている点が異なり、その他は同じであるので同じ符号を付している。

【0 0 4 0】

この場合も、前述した第2の実施形態と同様の効果が確実に得られる。

【0 0 4 1】

＜第3の実施形態＞

図5は、第3の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線構造を有するCMOSLSIにおける多層配線中の二層配線を取り出して概略的に示す平面図である。

【0 0 4 2】

図5に示す第3の実施形態では、幅広の下層配線11に同層で連なる幅が狭い幅細（例えば2 μ m以下）の下層配線11aが存在する場合、幅広配線11と幅細配線11aの境界付近（本例では幅広配線寄りの部分）にダミー用ダメージ領域（図2中の15b 参照）が形成され、これにコンタクトするようにダミー用ビア16が形成され、このダミー用ビア16にダミー用上層配線パターン19が接続されている。

【0043】

これにより、幅細配線11a と上層配線12とを接続する層間接続用ビア14の個数は、幅細配線11a が幅広配線11に連なっているか否かで決まるという設計上の制約を考慮することなく設計することが可能になる。

【0044】**<第4の実施形態>**

図6は、第4の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線構造を有するCMOSLSI における多層配線中の二層配線を取り出して概略的に示す平面図である。

【0045】

図6に示す第4の実施形態では、幅広の下層配線11に連なる同層の幅細配線11a が存在する場合、幅細配線11a のうちで層間接続用ビア14のコンタクトが形成されている部分と幅広配線11との間の領域にダミー用ダメージ領域（図2中の15b 参照）が形成され、これにコンタクトするようにダミー用ビア16が形成され、このダミー用ビア16にダミー用上層配線パターン19が接続されている。

【0046】

この場合も、前述した第3の実施形態と同様の効果が確実に得られる。

【0047】

なお、本発明は上記した実施例に限定されるものではなく、その要旨を脱しない範囲で変更実施することができる。例えば、層間絶縁膜13の材料は、SiO₂に限定されず、その他の材料でもよい。

【0048】**【発明の効果】**

上述したように本発明の半導体装置によれば、Cuあるいはその合金を配線材料として用いた多層配線におけるビア配置のルールに関する設計上の制約を緩和し、配線の信頼性を向上させることが可能になる。

【図面の簡単な説明】**【図1】**

第1の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線を有す

るCMOSLSI における多層配線中の二層配線を取り出して概略的に示す平面図。

【図 2】

図 1 中の B - B 線に沿う構造を示す断面図。

【図 3】

第 2 の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線を有するCMOSLSI における多層配線中の二層配線を取り出して概略的に示す平面図。

【図 4】

第 3 の実施形態の変形例を概略的に示す平面図。

【図 5】

第 3 の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線を有するCMOSLSI における多層配線中の二層配線を取り出して概略的に示す平面図。

【図 6】

第 4 の実施形態に係るCuあるいはその合金を配線材料に用いた多層配線を有するCMOSLSI における多層配線中の二層配線を取り出して概略的に示す平面図。

【図 7】

従来のCuあるいはその合金を配線材料に用いた多層配線を有するCMOSLSI における多層配線中の二層配線を取り出して配線およびビアのパターンの二例を概略的に示す平面図。

【図 8】

幅広の下層配線に連ならない幅細の下層配線を形成した時の熱工程の前後における幅細の下層配線中のCu結晶のイメージを示す平面図。

【図 9】

図 7 中に示した配線を形成した時の熱工程の前後における幅広の下層配線中のCu結晶のイメージを示す平面図。

【図 1 0】

図 7 に示した下層配線に対するビアのコンタクト不良（ビアオープン不良）に関する不良モデルを説明するために示す断面図。

【符号の説明】

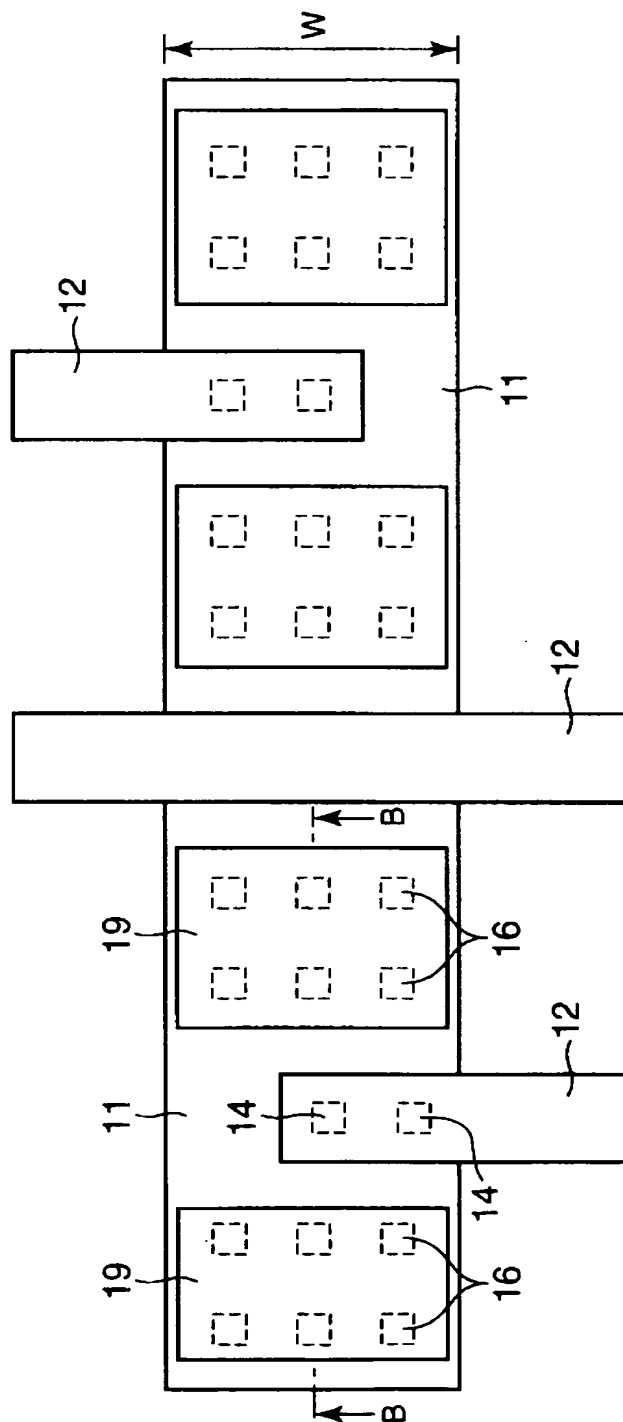
11…下層配線、12…上層配線、13…層間絶縁膜、14…層間接続用ビア、15a …ダ

メージ領域、15b …ダミー用ダメージ領域、16…ダミー用ビア、19…ダミー用上層配線パターン。

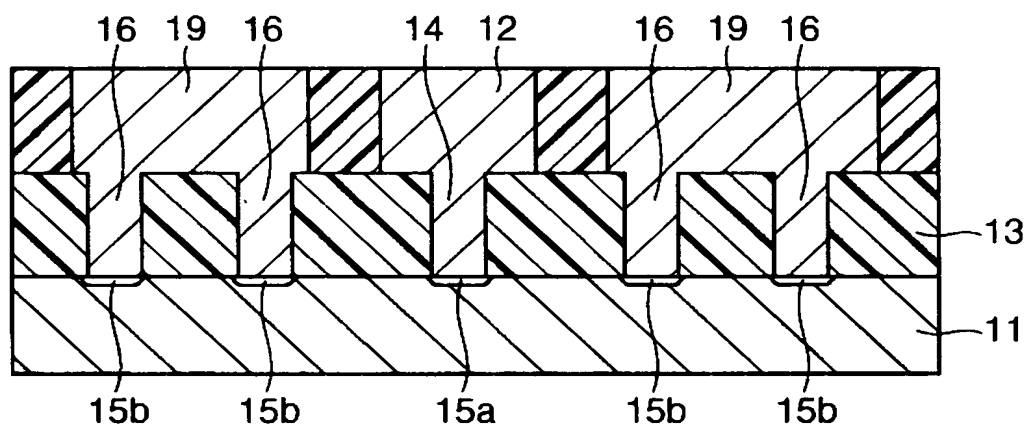
【書類名】

図面

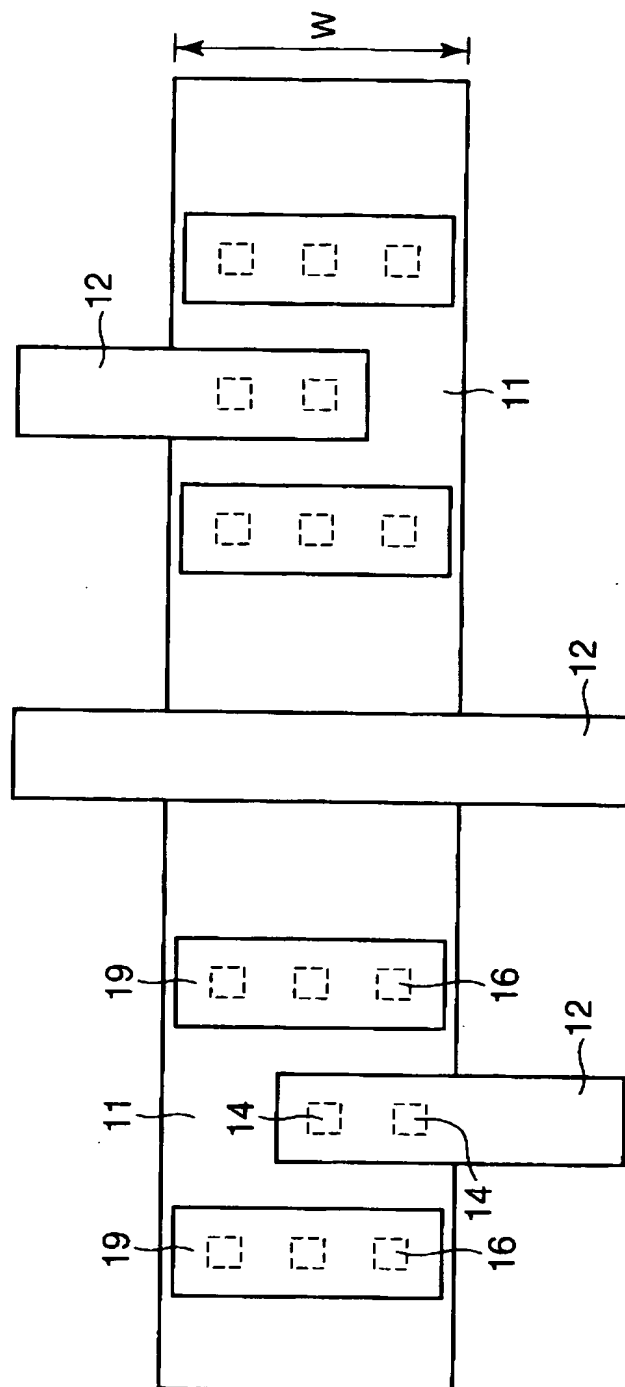
【図 1】



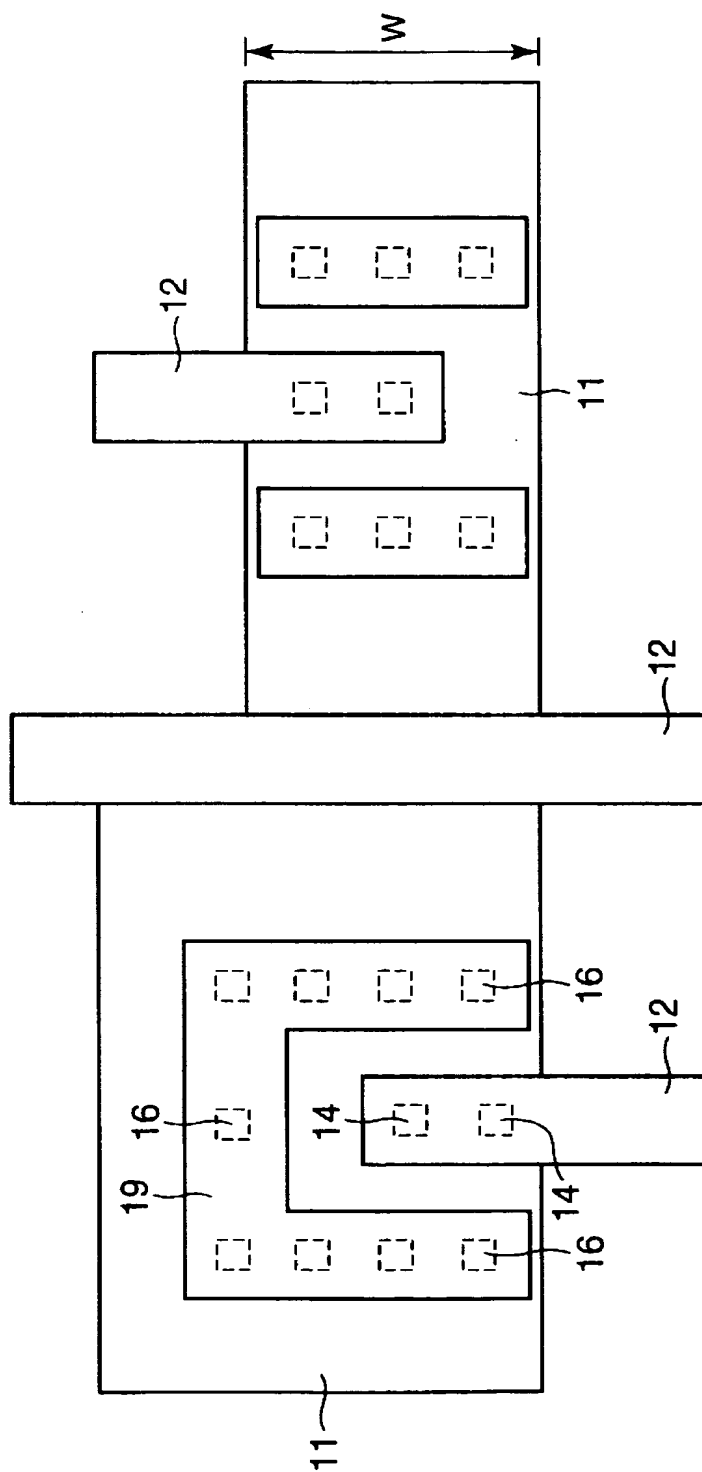
【図 2】



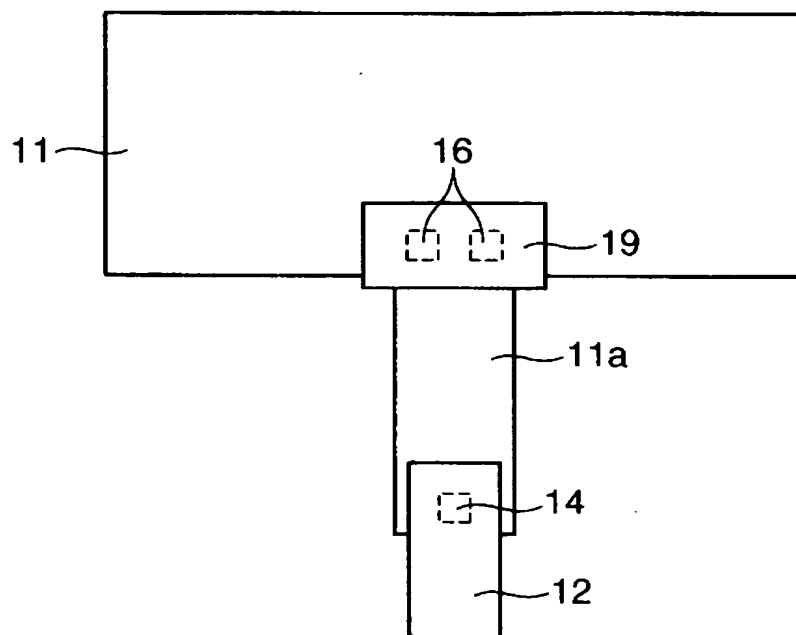
【図 3】



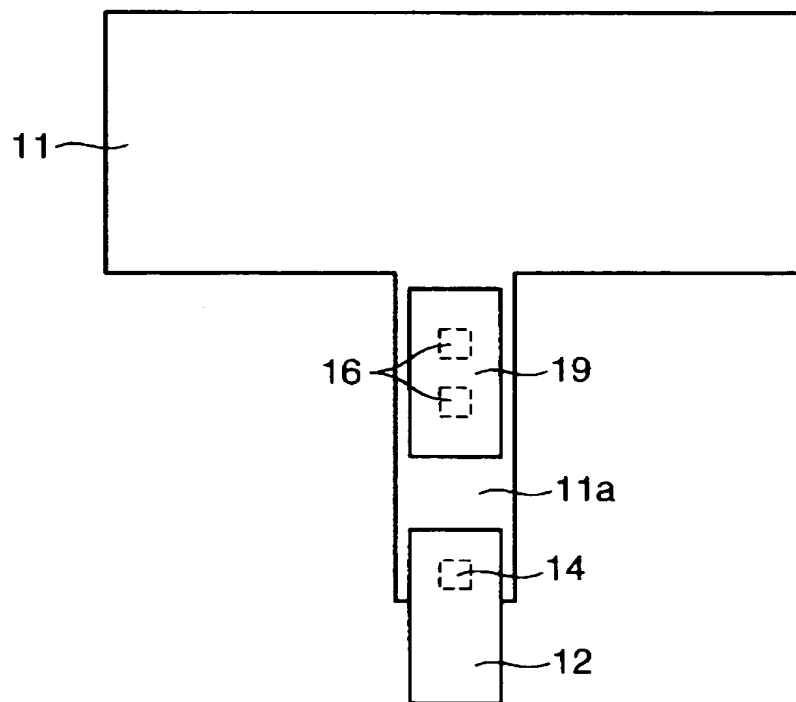
【図 4】



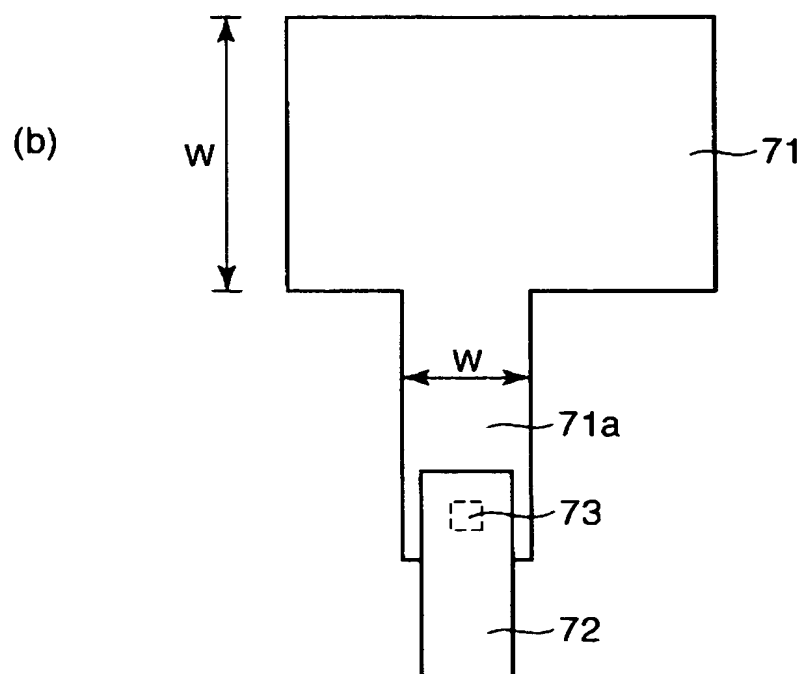
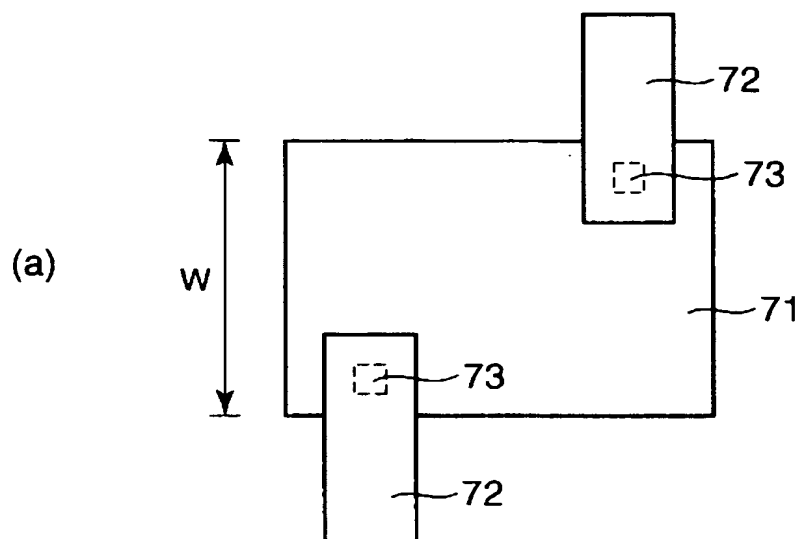
【図 5】



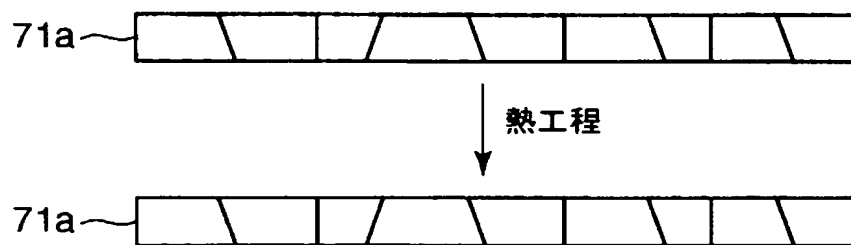
【図 6】



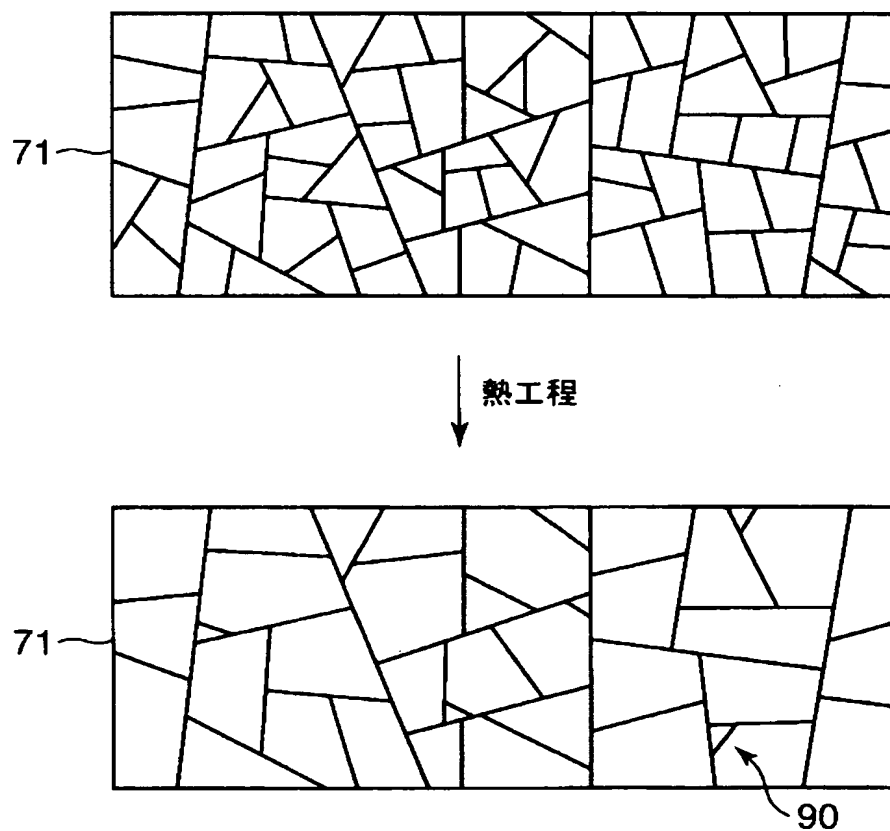
【図 7】



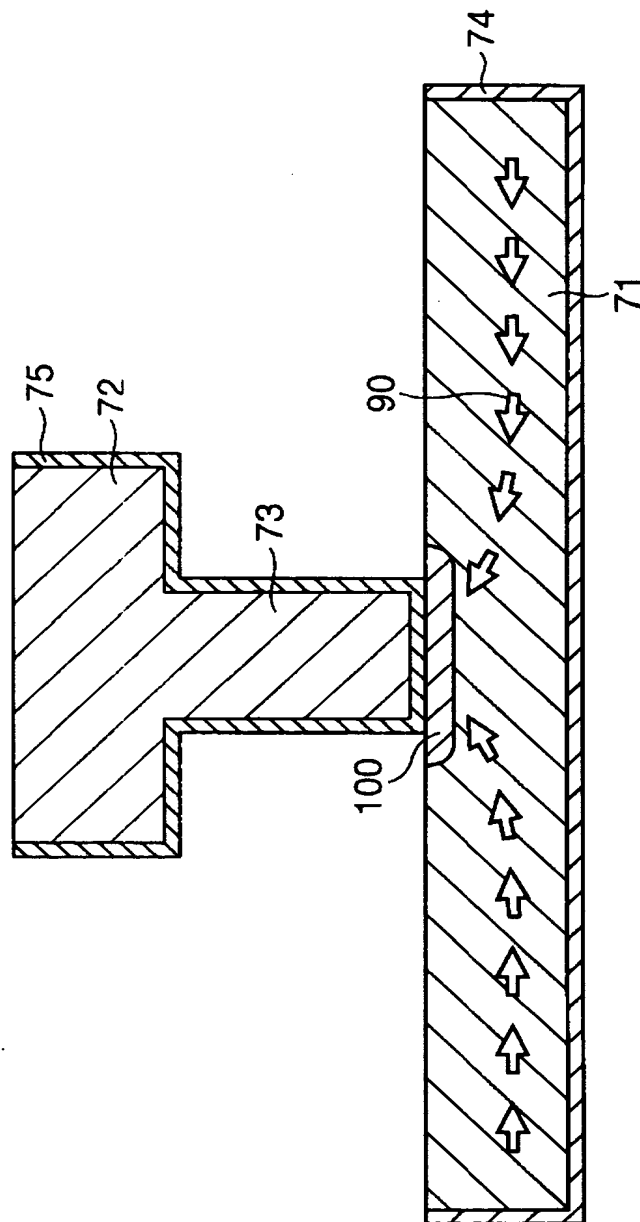
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 ビア配置のルールに関する設計上の制約を緩和し、配線の信頼性を向上させる。

【解決手段】 半導体基板上にCuあるいはその合金を配線材料として用いた金属配線が層間絶縁膜を介して少なくとも2層以上形成された多層配線を有する半導体装置において、層間絶縁膜13には下層配線11と上層配線12とを接続する層間接続用ビア14が埋め込まれており、下層配線における層間接続用ビアのコンタクト部以外の空き領域に選択的に、RIEにより層間絶縁膜にダミー用ビアホールを開口することにより発生したダミー用のダメージ領域15bが形成されている。

【選択図】 図1



特願 2 0 0 3 - 0 8 5 1 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝